

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

Shunichiro MASAKI

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: November 13, 2003

Attorney Dkt. No.: 100021-00134

For: MULTIPLEXER CIRCUIT FOR CONVERTING PARALLEL DATA INTO  
SERIAL DATA AT HIGH SPEED AND SYNCHRONIZING THE SERIAL DATA  
WITH A CLOCK SIGNAL

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: November 13, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Foreign Application No. 2002-339307, filed November 22, 2003, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

  
Charles M. Marmelstein  
Registration No. 25,895

27931

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM:cam

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2002年11月22日  
Date of Application:

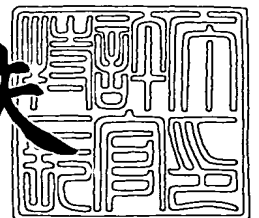
出願番号                      特願2002-339307  
Application Number:  
[ST. 10/C]:                      [JP 2002-339307]

出願人                      富士通株式会社  
Applicant(s):

2003年 8月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3070343

【書類名】 特許願

【整理番号】 0241277

【提出日】 平成14年11月22日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 17/00  
H04J 3/04

【発明の名称】 マルチプレクサ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 正木 俊一郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁



## 【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

## 【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

## 【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプレクサ回路

【特許請求の範囲】

【請求項 1】 パラレルデータを内部クロックに同期してシリアルデータに変換するマルチプレクサ回路であって、

前記内部クロックおよび前記パラレルデータの論理を取る論理回路、および、  
第 1 の電源線と第 2 の電源線との間に直列に接続された負荷回路並びに複数のスイッチ素子を備え、該各スイッチ素子は前記論理回路の出力で制御されることを特徴とするマルチプレクサ回路。

【請求項 2】 請求項 1 に記載のマルチプレクサ回路において、前記論理回路は、前記パラレルデータの各データ信号線に対してそれぞれ設けられた複数の論理回路セルを備えることを特徴とするマルチプレクサ回路。

【請求項 3】 請求項 2 に記載のマルチプレクサ回路において、前記各論理セルは、前記パラレルデータを増幅して前記各スイッチ素子を制御するインバータまたはバッファ、および、該インバータまたはバッファの出力と前記第 2 の電源線との間に接続された第 1 導電型の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

【請求項 4】 請求項 3 に記載のマルチプレクサ回路において、  
前記負荷回路は、複数の第 2 導電型のスイッチトランジスタであり、  
前記各論理セルは、さらに、前記パラレルデータを増幅して前記各第 2 導電型のスイッチトランジスタを制御するインバータまたはバッファ、および、該インバータまたはバッファの出力と前記第 1 の電源線との間に接続された第 2 導電型の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

【請求項 5】 請求項 2 に記載のマルチプレクサ回路において、前記各論理セルは、前記パラレルデータを直接受け取る第 2 導電型のトランジスタ、および、前記内部クロックが供給され前記各スイッチ素子を制御する信号線と前記第 2 の電源線との間に接続された第 1 導電型の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

【請求項 6】 請求項 1 に記載のマルチプレクサ回路において、該マルチプ

レクサ回路は、差動のシリアルデータを出力することを特徴とするマルチプレクサ回路。

【請求項 7】 請求項 6 に記載のマルチプレクサ回路において、前記論理回路は、前記パラレルデータの各データ信号線に対してそれぞれ設けられた複数の負論理用の論理回路セル、および、複数の正論理用の論理回路セルを備えることを特徴とするマルチプレクサ回路。

【請求項 8】 請求項 7 に記載のマルチプレクサ回路において、  
前記各負論理用の論理回路セルは、前記パラレルデータを増幅して負論理のデータを出力して負論理用の前記スイッチ素子を制御する奇数個のインバータ、および、該インバータの出力と前記第 2 の電源線との間に接続された第 1 導電型の制御トランジスタを備え、且つ、

前記各負論理用の論理回路セルは、前記パラレルデータを増幅して正論理のデータを出力して正論理用の前記スイッチ素子を制御する偶数個のインバータ、および、該インバータの出力と前記第 2 の電源線との間に接続された第 1 導電型の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

【請求項 9】 請求項 8 に記載のマルチプレクサ回路において、前記正論理用のスイッチ素子および前記負論理用のスイッチ素子は、共通の電流源を介して前記第 2 の電源線に接続されることを特徴とするマルチプレクサ回路。

【請求項 10】 請求項 1～9 のいずれか 1 項に記載のマルチプレクサ回路において、前記内部クロックは、多相クロックであり、且つ、前記第 1 導電型の制御トランジスタは、該多相クロックで制御されることを特徴とするマルチプレクサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、LSI 間や複数の LSI で構成した装置間の信号伝送を高速に行うための技術に関し、特に、パラレルデータをシリアルデータに変換するマルチプレクサ回路に関する。

【0002】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ、さらには、スイッチ用LSI等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

#### 【0003】

すなわち、DRAM等の主記憶装置とプロセッサとの間(LSI間)の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった筐体やボード(プリント配線基板)間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化(信号振幅の低レベル化)等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。さらには、周辺機器とプロセッサ/チップセット間の信号伝送もシステム全体の性能を制限する要素になっている。

#### 【0004】

このようなLSI間や回路ブロック間、或いは、筐体内での信号伝送を高速化するには、一本の信号線に多くのデータを伝送することが重要である。具体的に、例えば、ネットワークインフラ向けのソリューションでは、ギガビットの高速伝送が要求されるようになり、「ギガビットSerDes (Serializer and Deserializer)」といったデバイスが注目されている。そして、例えば、装置間の信号伝送を目的としたインターフェース回路で用いられるLSIにおいて、低速なパラレルデータを高速なシリアルデータに変換することのできるマルチプレクサ回路の提供が要望されている。

#### 【0005】

##### 【従来の技術】

近年、SerDes機能を有するインターフェース回路において、ネットワークスイッチなどのデータ処理を行うロジック回路から受け取る比較的速度の遅い

パラレルデータを、例えば、G b p s 以上のレベルの高速なシリアルデータに変換して出力する必要がある。

#### 【 0 0 0 6 】

従来、パラレルデータをシリアルデータに変換するマルチプレクサ回路としては、例えば、W. Dally et al., "DIGITAL SYSTEMS ENGINEERING", Cambridge, 1998などの文献（例えば、FIGURE 11-22, FIGURE 11-25：非特許文献1）や特願 2 0 0 1 - 3 2 2 3 7 5 号（特許文献1）にあるように、多相クロック信号を用いてデータ処理を行っている。

#### 【 0 0 0 7 】

図1は従来のマルチプレクサ回路の一例を示す回路図であり、図2は図1のマルチプレクサ回路の動作を説明するためのタイミング図である。図1において、参照符号 P D 0 ~ P D 3 はパラレルデータ、S D はシリアルデータ、そして、 $\phi$  0 ~  $\phi$  3 は互いに位相が 9 0 ° 異なる四相クロック（内部クロック）を示している。

#### 【 0 0 0 8 】

図1に示されるように、従来のマルチプレクサ回路 1 0 0 は、高電位電源線 V dd と低電位電源線 V ss との間に設けられた負荷回路 1 0 1、および、互いに並列接続された複数（例えば、4つ）のマルチプレクサセル 1 2 0 ~ 1 2 3 を備えている。各マルチプレクサセル 1 2 0（1 2 1 ~ 1 2 3 も同様）は、直列接続された3段の n チャネル型 M O S（Metal Oxide Semiconductor）トランジスタ（n M O S トランジスタ：より広く一般的に n チャネル型 M I S（Metal Insulator Semiconductor）トランジスタ）1 2 0 a ~ 1 2 0 c を備え、トランジスタ 1 2 0 a のゲートにはパラレルデータ P D 0 が入力され、トランジスタ 1 2 0 b のゲートには内部クロック  $\phi$  0 が入力され、そして、トランジスタ 1 2 0 c のゲートには内部クロック  $\phi$  1 が入力されている。同様に、トランジスタ 1 2 1 a のゲートにはパラレルデータ P D 1 が入力され、トランジスタ 1 2 1 b のゲートには内部クロック  $\phi$  1 が入力され、そして、トランジスタ 1 2 1 c のゲートには内部クロック  $\phi$  2 が入力され、さらに、トランジスタ 1 2 3 a のゲートにはパラレルデータ P D 3 が入力され、トランジスタ 1 2 3 b のゲートには内部クロック  $\phi$  3 が



入力され、そして、トランジスタ 123c のゲートには内部クロック  $\phi 0$  が入力されている。

#### 【0009】

すなわち、図2に示されるように、図1のマルチプレクサ回路100は、例えば、マルチプレクサセル120において、内部クロック  $\phi 0$  および  $\phi 1$  が高レベル『H』となってトランジスタ 120b および 120c がオンすることで、トランジスタ 120a のゲートに供給されたパラレルデータ PD0 を取り込み、同様の処理を各マルチプレクサセル 121～123で行って、パラレルデータ PD0～PD3 をシリアル変換したシリアルデータ SD をノード N100 から取り出すようになっている。

#### 【0010】

ここで、負荷回路101は、例えば、ゲートに低電位電源電圧 ( $V_{ss}$ ) を印加した p チャネル型 MOS トランジスタ (pMOS トランジスタ: より広く一般的に p チャネル型 MIS トランジスタ) により構成することができる。なお、本明細書では、説明を簡略化するために、主として4つのパラレルデータ PD0～PD3 を、四相信号  $\phi 0 \sim \phi 3$  を用いてシリアルデータ SD に変換する例を説明するが、これらの構成は様々に変化させることができるのはいうまでもない。また、図2におけるパラレルデータ PD0～PD3 は全て同じタイミングで変化しているが、実際には、例えば、各トランジスタ (例えば、マルチプレクサセル 120 において、内部クロック  $\phi 0$ ,  $\phi 1$  により制御されるトランジスタ 120b および 120c) の制御タイミングに応じて最適な変化タイミングとされている。

#### 【0011】

##### 【特許文献1】

特願 2001-322375号

##### 【非特許文献1】

W. Dally et al., "DIGITAL SYSTEMS ENGINEERING", Cambridge, 1998 (FIGURE 11-22, FIGURE 11-25)

#### 【0012】

##### 【発明が解決しようとする課題】

図1および図2を参照して説明した従来のマルチプレクサ回路100は、各マルチプレクサセル120(121~123)が直列接続されたトランジスタ120a~120cにより構成されるため、直流的な電流消費が少ないという利点がある。

#### 【0013】

しかしながら、Gbpsを超えるような高速なデータを処理する場合、さらには、近年の低駆動電圧および小信号振幅が適用されるマルチプレクサ回路においては、図1に示すようなパラレルデータ(PD0)により制御されるトランジスタ(120a)と内部クロック( $\phi 0$ ,  $\phi 1$ )により制御されるトランジスタ(120b, 120c)とを直列に接続したマルチプレクサセルを使用することは速度の上で難しくなっている。

#### 【0014】

すなわち、上述した従来のマルチプレクサ回路100では、高電位電源線Vddと低電位電源線Vssとの間に直列にトランジスタ120a~120c(および、101)を接続するために、高速に動作させる場合に帯域が不足することになっていた。

#### 【0015】

まず、第1の理由としては、全てのトランジスタを飽和領域で動作させるためにはトランジスタのオン抵抗を小さく(ゲート幅を広く)する必要があるが、トランジスタのゲート幅を広くすると占有面積が増大するため、現実的にはトランジスタのオン抵抗を十分に大きくすることはできないためである。また、トランジスタサイズが大きくなると、占有面積が増大するだけでなく、ゲート幅の増加により寄生容量が増えて高速動作に向かないということもある。さらに、第2の理由としては、複数のトランジスタ(101および120a~120c)が直列に接続されているため、出力側からチャージアップするノードが増えて帯域が不足するためである。

#### 【0016】

本発明は、上述した従来のマルチプレクサ回路が有する課題に鑑み、パラレルデータをクロックに同期したシリアルデータに高速に変換することのできるマル

チプレクサ回路の提供を目的とする。

【0017】

【課題を解決するための手段】

本発明によれば、パラレルデータを内部クロックに同期してシリアルデータに変換するマルチプレクサ回路であって、前記内部クロックおよび前記パラレルデータの論理を取る論理回路、および、第1の電源線と第2の電源線との間に直列に接続された負荷回路並びに複数のスイッチ素子を備え、該各スイッチ素子は前記論理回路の出力で制御されることを特徴とするマルチプレクサ回路が提供される。

【0018】

本発明のマルチプレクサ回路によれば、論理回路は内部クロックとパラレルデータとの論理を取り、この論理回路の出力により各スイッチ素子を制御してシリアルデータを得るようになっている。

【0019】

図3は本発明に係るマルチプレクサ回路の原理構成を示すブロック図である。図3において、参照符号1は負荷回路、2は論理回路、3はスイッチ素子、そして、4は内部クロック発生回路を示している。

【0020】

負荷回路1は、高電位電源線V<sub>dd</sub>と低電位電源線V<sub>ss</sub>との間に、互いに並列接続された複数のスイッチ素子3と直列に設けられ、複数のスイッチ素子3と負荷回路1との接続ノードN1からシリアルデータSDが出力される。論理回路2は、パラレルデータPDと内部クロックを受け取り、それらの論理を取った制御信号CSにより複数のスイッチ素子3を制御する。ここで、内部クロックφは、例えば、外部クロックCLKから内部クロック発生回路4で生成することもできるが、例えば、他の回路用のクロック（内部クロックφ）が存在する場合には、そのクロックをそのままマルチプレクサ回路に供給することもできる。

【0021】

このように、図3に示す本発明のマルチプレクサ回路は、論理回路2でパラレルデータPDと内部クロックφの論理を取り、この論理回路2の出力によりスイ

ッチ素子 3 を制御することで、高電位電源線  $V_{dd}$  と低電位電源線  $V_{ss}$  との間で直列に接続されるスイッチ素子（トランジスタ）の段数を減らし、高速動作を可能とする。

#### 【0022】

##### 【発明の実施の形態】

以下、本発明に係るマルチプレクサ回路の実施例を、添付図面を参照して詳述する。

#### 【0023】

図 4 は本発明に係るマルチプレクサ回路の第 1 実施例を示すブロック回路図であり、図 5 は図 4 のマルチプレクサ回路の動作を説明するためのタイミング図である。図 4 において、参照符号  $PD0 \sim PD3$  はパラレルデータ、 $SD$  はシリアルデータ、 $CS0 \sim CS3$  は制御信号、そして、 $\phi 0 \sim \phi 3$  は互いに位相が  $90^\circ$  異なる四相クロック（内部クロック）を示している。ここで、図 4 のマルチプレクサ回路は、4 : 1 のマルチプレクサ回路の例であるが、本発明は、これに限定されるものではない。

#### 【0024】

図 4 に示されるように、本第 1 実施例のマルチプレクサ回路は、高電位電源線  $V_{dd}$  と低電位電源線  $V_{ss}$  との間に設けられた負荷回路 1、および、互いに並列接続された複数（例えば、4 つ）のスイッチ素子（ $nMOS$  トランジスタ） $30 \sim 33$  を備えている。各  $nMOS$  トランジスタ（スイッチトランジスタ） $30 \sim 33$  のゲートには、パラレルデータ  $PD0 \sim PD3$  と内部クロック  $\phi 0 \sim \phi 3$ （デューティ 50% のクロック）を受け取って論理を取る論理回路 2 の出力（制御信号） $CS0 \sim CS3$  がそれぞれ供給され、並列接続されたトランジスタ  $30 \sim 33$  のドレインと負荷回路 1 との接続ノード  $N1$  からシリアルデータ  $SD$  が出力されるようになっている。

#### 【0025】

論理回路 2 は、複数（例えば、4 つ）論理回路セル  $20 \sim 23$  を備える。論理回路セル  $20$  は、パラレルデータ  $PD0$  を増幅および反転して出力するインバータ  $20a$ 、並びに、クロック  $\phi 0$  および  $\phi 1$  がゲートに供給され、インバータ 2

0 a の出力（スイッチ素子 30 のゲートに供給される制御信号 CS0）と低電位電源線 Vss との間に設けられた nMOS トランジスタ（制御トランジスタ）20 b および 20 c を備えている。なお、他の論理回路セル 21～23 も論理回路セル 20 と同様の構成とされ、論理回路セル 21 は、パラレルデータ PD1 を増幅および反転して出力するインバータ 21 a、並びに、クロック  $\phi 1$  および  $\phi 2$  がゲートに供給され、インバータ 21 a の出力と低電位電源線 Vss との間に設けられた nMOS トランジスタ 21 b および 21 c を備え、また、論理回路セル 23 は、パラレルデータ PD3 を増幅および反転して出力するインバータ 23 a、並びに、クロック  $\phi 3$  および  $\phi 0$  がゲートに供給され、インバータ 23 a の出力と低電位電源線 Vss との間に設けられた nMOS トランジスタ 23 b および 23 c を備えている。ここで、論理回路セル 20～23 は、それぞれ制御信号 CS0～CS3 により対応するスイッチ素子 30～33 を制御するようになっている。ここで、インバータ 20 a～23 a はバッファとして構成することもできる。

#### 【0026】

図 5 に示されるように、例えば、論理回路セル 20 において、内部クロック  $\phi 0$  および  $\phi 1$  が両方とも低レベル『L』になると、トランジスタ 20 b および 20 c がオフしてインバータ 20 a の出力（制御信号 CS0）がそのままスイッチ素子（nMOS トランジスタ）30 のゲートに供給される。すなわち、インバータ 20 a の出力が高レベル『H』ならばトランジスタ 30 はオンし、インバータ 20 a の出力が低レベル『L』ならばトランジスタ 30 はオフする。一方、内部クロック  $\phi 0$  および  $\phi 1$  が両方とも低レベル『L』になる以外の期間（内部クロック  $\phi 0$  または  $\phi 1$  の少なくとも一方が高レベル『H』になる期間）、少なくともトランジスタ 20 b または 20 c がオンし、トランジスタ 30 のゲート（制御信号 CS0）は、インバータ 20 a の出力に関わらず低電位電源線 Vdd のレベルにプルダウンされて該トランジスタ 30 はオフする。

#### 【0027】

そして、内部クロック  $\phi 1$  および  $\phi 2$  により制御される論理回路セル 21 と共に、内部クロック  $\phi 1$  および  $\phi 2$  により制御される論理回路セル 21、内部クロック  $\phi 2$  および  $\phi 3$  により制御される論理回路セル 22、並びに、内部クロック

$\phi 3$  および  $\phi 0$  により制御される論理回路セル 23 によって、パラレルデータ PD0～PD3 はシリアルデータ SD に変換されて、負荷回路 1 とスイッチ素子（トランジスタ）30～33 のドレインとの接続ノード N1 から取り出される。

#### 【0028】

例えば、スイッチ素子 30～33 は、nMOS トランジスタの代わりに pMOS トランジスタを使用して構成することができるのはいうまでもない。また、負荷回路 1 は、例えば、ゲートに低電位電源電圧（Vss）を印加した pMOS トランジスタ等の一般的に知られた構成とすることができ、さらに、パラレルデータおよび内部クロックは、それぞれ 4 つのパラレルデータ PD0～PD3 および互いに位相が  $90^\circ$  異なる四相信号  $\phi 0 \sim \phi 3$  に限定されず、様々に変形することができるのは前述した通りである。なお、内部クロック  $\phi 0 \sim \phi 3$  は、外部クロック CLK から内部クロック信号生成回路 4 により生成するものに限定されず、例えば、マルチプレクサ回路の外部で使用する四相クロックが存在する場合には、その四相クロックをそのまま使用することもできる。また、図 5 におけるパラレルデータ PD0～PD3 は全て同じタイミングで変化しているが、実際には、例えば、各トランジスタ（例えば、論理回路セル 20 において、内部クロック  $\phi 0$ ,  $\phi 1$  により制御されるトランジスタ 20b および 20c）の制御タイミングに応じて最適な変化タイミングとすることができる。これらのことは、以下に説明する各実施例でも同様である。

#### 【0029】

図 6 は本発明に係るマルチプレクサ回路の第 2 実施例を示すブロック回路図である。

#### 【0030】

図 6 と上述した図 4 との比較から明らかなように、本第 2 実施例のマルチプレクサ回路は、差動の出力（シリアルデータ SD, SDX）を得るために、2 組の論理回路 2, 2'、負荷回路 1, 1' およびスイッチ素子 30～33, 30'～33' を設けるようにしたものである。ここで、正論理出力（SD）用の論理回路 2 における各論理回路セル 20（21～23）は、図 4 に示す第 1 実施例と同じ構成であり、1 段のインバータ 20a および nMOS トランジスタ 20b, 2

0cを備えている。一方、負論理出力(SDX)用の論理回路2'における各論理回路セル20'(21'~23')は、2段のインバータ20a', 20d'およびnMOSトランジスタ20b', 20c'を備えている。なお、負荷回路1, 1'およびスイッチ素子(nMOSトランジスタ)30~33, 30'~33'は同じ構成とされ、負荷回路1とトランジスタ30~33のドレインとの接続ノードN1から正論理のシリアルデータSDを取り出し、負荷回路1'とトランジスタ30'~33'との接続ノードN1'から負論理のシリアルデータSDXを取り出すようになっている。

#### 【0031】

このように、本第2実施例のマルチプレクサ回路によれば、差動(相補)のシリアルデータSD, SDXを出力することができ、例えば、後段の回路が差動信号を処理するように構成されているものに対してもそのまま対応することができる。

#### 【0032】

図7は本発明に係るマルチプレクサ回路の第3実施例を示すブロック回路図である。

#### 【0033】

図7と上述した図6との比較から明らかなように、本第3実施例のマルチプレクサ回路は、第2実施例のマルチプレクサ回路に対して電流源4を設け、この電流源4を介して、スイッチ素子30~33および30'~33'を低電位電源線Vssに接続する。すなわち、nMOSトランジスタ30~33のソースおよびnMOSトランジスタ30'~33'のソースは、共通の電流源4を介して低電位電源線Vssに接続されるようになっている。

#### 【0034】

この本第3実施例のマルチプレクサ回路によれば、差動信号としてのシリアルデータSD, SDXの特性を上述した第2実施例のマルチプレクサ回路よりも一層良好なものとすることができる。

#### 【0035】

図8は本発明に係るマルチプレクサ回路の第4実施例を示すブロック回路図で

ある。

#### 【0036】

図8と前述した図4との比較から明らかなように、本第4実施例のマルチプレクサ回路は、第1実施例のマルチプレクサ回路における各論理回路セル20（21～23）を、インバータ20a、20d、nMOSトランジスタ20b、20c、および、pMOSトランジスタ20e、20fで構成し、負荷回路1をインバータ20dの出力をゲートで受け取るpMOSトランジスタ30a（31a～33a）で構成したものに相当する。

#### 【0037】

すなわち、論理回路セル20において、図4の第1実施例のインバータ20aおよびnMOSトランジスタ20b、20cに加えて、パラレルデータPD0が入力されたインバータ20dおよびpMOSトランジスタ20e、20fが設けられている。pMOSトランジスタ20eおよび20fのゲートには、それぞれnMOSトランジスタ20bおよび20cのゲートに入力される内部クロック $\phi$ 0および $\phi$ 1の反転レベルのクロック、すなわち、内部クロック $\phi$ 2および $\phi$ 3が供給され、インバータ20aおよび20dの出力を同じ期間（内部クロック $\phi$ 0および $\phi$ 1が共に低レベル『L』となる期間、或いは、内部クロック $\phi$ 2および $\phi$ 3が共に高レベル『H』となる期間）だけ、それぞれスイッチ素子（nMOSトランジスタ）30およびスイッチ素子（pMOSトランジスタ）30aのゲートに与える。

#### 【0038】

なお、その他の期間（内部クロック $\phi$ 0および $\phi$ 1の少なくとも一方が高レベル『H』となる期間、或いは、内部クロック $\phi$ 2および $\phi$ 3の少なくとも一方が低レベル『L』となる期間）は、スイッチ素子30および30aは共にオフする。このような構成の論理回路セル20～23、並びに、スイッチ素子30～33および30a～33aにより、パラレルデータPD0～PD3はシリアルデータSDに変換される。

#### 【0039】

この本第4実施例のマルチプレクサ回路によれば、出力されるシリアルデータ



S Dを高電位電源電圧 ( $V_{dd}$ ) と低電位電源電圧 ( $V_{ss}$ ) との間でフルスウィングさせることができ、また、直流的な消費電流も抑えることが可能になる。

#### 【0040】

図9は本発明に係るマルチプレクサ回路の第5実施例を示すブロック回路図である。

#### 【0041】

図9と前述した図4との比較から明らかなように、本第5実施例のマルチプレクサ回路において、論理回路2の各論理回路セル20 (21~23) は、インバータ20aおよびnMOSトランジスタ20bを備える。すなわち、本第5実施例のマルチプレクサ回路は、内部クロック発生回路4からの四相クロック (内部クロック)  $\phi 0 \sim \phi 3$  をクロック処理回路6で処理し、そのクロック処理回路6の出力 (制御クロック: デューティ比が75%のクロック)  $\phi 0' \sim \phi 3'$  をトランジスタ20bのゲートに供給し、図4に示す第1実施例のマルチプレクサ回路の論理回路セル20におけるnMOSトランジスタ20cを省くようになっている。

#### 【0042】

図10は図9のマルチプレクサ回路におけるクロック処理回路の一例を示す図であり、図11は図10のクロック処理回路の動作を説明するためのタイミング図である。

#### 【0043】

図10に示されるように、クロック処理回路6は、4つのOR回路60~63を備え、それぞれ四相クロック (内部クロック)  $\phi 0 \sim \phi 3$  の隣接する2つのクロックの論理和を取るようになっている。すなわち、図11に示されるように、OR回路60は、内部クロック $\phi 0$ および $\phi 1$ を受け取り、これらのクロック $\phi 0$ ,  $\phi 1$ が共に低レベル『L』のときだけ低レベル『L』となるデューティ比が75%の制御クロック $\phi 0'$ を出力し、この制御クロック $\phi 0'$ が論理回路2における論理回路セル20のnMOSトランジスタ20bのゲートに供給される。同様に、OR回路61 (62; 63) は、内部クロック $\phi 1$ ,  $\phi 2$  ( $\phi 2$ ,  $\phi 3$ ;  $\phi 3$ ,  $\phi 0$ ) を受け取って、これらのクロック $\phi 1$ ,  $\phi 2$  ( $\phi 2$ ,  $\phi 3$ ;  $\phi 3$

,  $\phi 0$ ) が共に低レベル『L』のときだけ低レベル『L』となる制御クロック  $\phi 1'$  ( $\phi 2'$ ;  $\phi 3'$ ) を出力し、この制御クロック  $\phi 1'$  ( $\phi 2'$ ;  $\phi 3'$ ) が論理回路セル 21 (22; 23) のトランジスタ 21b (22b; 23b) のゲートに供給される。

#### 【0044】

このように、各論理回路セル 20～23 における nMOS トランジスタ 20b～23b のゲートに対して、図 11 に示すようなデューティ比が 75% のクロックを供給することにより、例えば、図 4 の第 1 実施例の論理回路セルと同様の機能を行わせることができる。

#### 【0045】

本第 5 実施例のマルチプレクサ回路によれば、各論理回路セル 20～23 に対して 1 つの制御クロック  $\phi 0'$ ～ $\phi 3'$  を供給すればよいため、内部クロック (制御クロック) の配線を低減することが可能になる。

#### 【0046】

図 12 は本発明に係るマルチプレクサ回路の第 6 実施例を示すブロック回路図である。

#### 【0047】

図 12 と前述した図 4 との比較から明らかなように、本第 6 実施例のマルチプレクサ回路は、第 1 実施例のマルチプレクサ回路における各論理回路セル 20 (21～23) におけるインバート 20a の代わりに高電位電源線 Vdd に接続された pMOS トランジスタ 20g を設け、パラレルデータ PD0 を直接 pMOS トランジスタ 20g のゲートに供給するようになっている。

#### 【0048】

本第 6 実施例のマルチプレクサ回路によれば、例えば、第 1 実施例のように、パラレルデータ PD0～PD3 をインバート 20a～23a に入力するものよりも、パラレルデータ PD0～PD3 の入力負荷を軽くすることができ、前段回路の駆動能力が小さい場合等においても高速動作が可能になる。

#### 【0049】

(付記 1) パラレルデータを内部クロックに同期してシリアルデータに変換

するマルチプレクサ回路であって、

前記内部クロックおよび前記パラレルデータの論理を取る論理回路、および、  
第1の電源線と第2の電源線との間に直列に接続された負荷回路並びに複数の  
スイッチ素子を備え、該各スイッチ素子は前記論理回路の出力で制御されること  
を特徴とするマルチプレクサ回路。

**【0050】**

(付記2) 付記1に記載のマルチプレクサ回路において、前記負荷回路と前  
記複数のスイッチ素子との接続ノードから前記シリアルデータの出力を取り出す  
ことを特徴とするマルチプレクサ回路。

**【0051】**

(付記3) 付記1に記載のマルチプレクサ回路において、前記論理回路は、  
前記パラレルデータの各データ信号線に対してそれぞれ設けられた複数の論理回  
路セルを備えることを特徴とするマルチプレクサ回路。

**【0052】**

(付記4) 付記3に記載のマルチプレクサ回路において、前記各論理セルは  
、前記パラレルデータを増幅して前記各スイッチ素子を制御するインバータまた  
はバッファ、および、該インバータまたはバッファの出力と前記第2の電源線と  
の間に接続された第1導電型の制御トランジスタを備えることを特徴とするマル  
チプレクサ回路。

**【0053】**

(付記5) 付記4に記載のマルチプレクサ回路において、  
前記負荷回路は、複数の第2導電型のスイッチトランジスタであり、  
前記各論理セルは、さらに、前記パラレルデータを増幅して前記各第2導電型  
のスイッチトランジスタを制御するインバータまたはバッファ、および、該イン  
バータまたはバッファの出力と前記第1の電源線との間に接続された第2導電型  
の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

**【0054】**

(付記6) 付記3に記載のマルチプレクサ回路において、前記各論理セルは  
、前記パラレルデータを直接受け取る第2導電型のトランジスタ、および、前記

内部クロックが供給され前記各スイッチ素子を制御する信号線と前記第2の電源線との間に接続された第1導電型の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

【0055】

(付記7) 付記1に記載のマルチプレクサ回路において、該マルチプレクサ回路は、差動のシリアルデータを出力することを特徴とするマルチプレクサ回路。

【0056】

(付記8) 付記7に記載のマルチプレクサ回路において、前記論理回路は、前記パラレルデータの各データ信号線に対してそれぞれ設けられた複数の負論理用の論理回路セル、および、複数の正論理用の論理回路セルを備えることを特徴とするマルチプレクサ回路。

【0057】

(付記9) 付記8に記載のマルチプレクサ回路において、前記各負論理用の論理回路セルは、前記パラレルデータを増幅して負論理のデータを出力して負論理用の前記スイッチ素子を制御する奇数個のインバータ、および、該インバータの出力と前記第2の電源線との間に接続された第1導電型の制御トランジスタを備え、且つ、

前記各負論理用の論理回路セルは、前記パラレルデータを増幅して正論理のデータを出力して正論理用の前記スイッチ素子を制御する偶数個のインバータ、および、該インバータの出力と前記第2の電源線との間に接続された第1導電型の制御トランジスタを備えることを特徴とするマルチプレクサ回路。

【0058】

(付記10) 付記9に記載のマルチプレクサ回路において、前記正論理用のスイッチ素子および前記負論理用のスイッチ素子は、共通の電流源を介して前記第2の電源線に接続されることを特徴とするマルチプレクサ回路。

【0059】

(付記11) 付記1～10のいずれか1項に記載のマルチプレクサ回路において、前記内部クロックは、多相クロックであり、且つ、前記第1導電型の制御

トランジスタは、該多相クロックで制御されることを特徴とするマルチプレクサ回路。

【0060】

(付記12) 付記11に記載のマルチプレクサ回路において、前記多相クロックは、デューティ比が50%の四相クロックであり、且つ、前記多相クロックで制御される第1導電型の制御トランジスタは、該四相クロックの隣接する2つのクロックで制御される2つのMISトランジスタであることを特徴とするマルチプレクサ回路。

【0061】

(付記13) 付記11に記載のマルチプレクサ回路において、前記多相クロックは、デューティ比が75%の四相クロックであり、且つ、前記多相クロックで制御される第1導電型の制御トランジスタは、該四相クロックの1つのクロックで制御される1つのMISトランジスタであることを特徴とするマルチプレクサ回路。

【0062】

(付記14) 付記11に記載のマルチプレクサ回路において、さらに、外部クロックから前記多相クロックを生成するクロック発生回路を備えることを特徴とするマルチプレクサ回路。

【0063】

(付記15) 付記1～14のいずれか1項に記載のマルチプレクサ回路において、前記第1導電型のトランジスタはnチャネル型MISトランジスタであり、且つ、前記第2導電型のトランジスタはpチャネル型MISトランジスタであることを特徴とするマルチプレクサ回路。

【0064】

(付記16) 付記1に記載のマルチプレクサ回路において、前記複数のスイッチ素子は複数の第1のスイッチ素子を構成し、前記負荷回路は、複数の第2のスイッチ素子を構成し、前記第1の電源線と前記第2の電源線との間に直列に接続した該複数の第1のスイッチ素子と該複数の第2のスイッチ素との接続ノードからシリアルデータを取り出すことを特徴とするマルチプレクサ回路。

**【0065】****【発明の効果】**

以上、詳述したように、本発明によれば、パラレルデータをクロックに同期したシリアルデータに高速に変換することのできるマルチプレクサ回路を提供することができる。

**【図面の簡単な説明】****【図1】**

従来のマルチプレクサ回路の一例を示す回路図である。

**【図2】**

図1のマルチプレクサ回路の動作を説明するためのタイミング図である。

**【図3】**

本発明に係るマルチプレクサ回路の原理構成を示すブロック図である。

**【図4】**

本発明に係るマルチプレクサ回路の第1実施例を示すブロック回路図である。

**【図5】**

図4のマルチプレクサ回路の動作を説明するためのタイミング図である。

**【図6】**

本発明に係るマルチプレクサ回路の第2実施例を示すブロック回路図である。

**【図7】**

本発明に係るマルチプレクサ回路の第3実施例を示すブロック回路図である。

**【図8】**

本発明に係るマルチプレクサ回路の第4実施例を示すブロック回路図である。

**【図9】**

本発明に係るマルチプレクサ回路の第5実施例を示すブロック回路図である。

**【図10】**

図9のマルチプレクサ回路におけるクロック処理回路の一例を示す図である。

**【図11】**

図10のクロック処理回路の動作を説明するためのタイミング図である。

**【図12】**

本発明に係るマルチプレクサ回路の第 6 実施例を示すブロック回路図である。

【符号の説明】

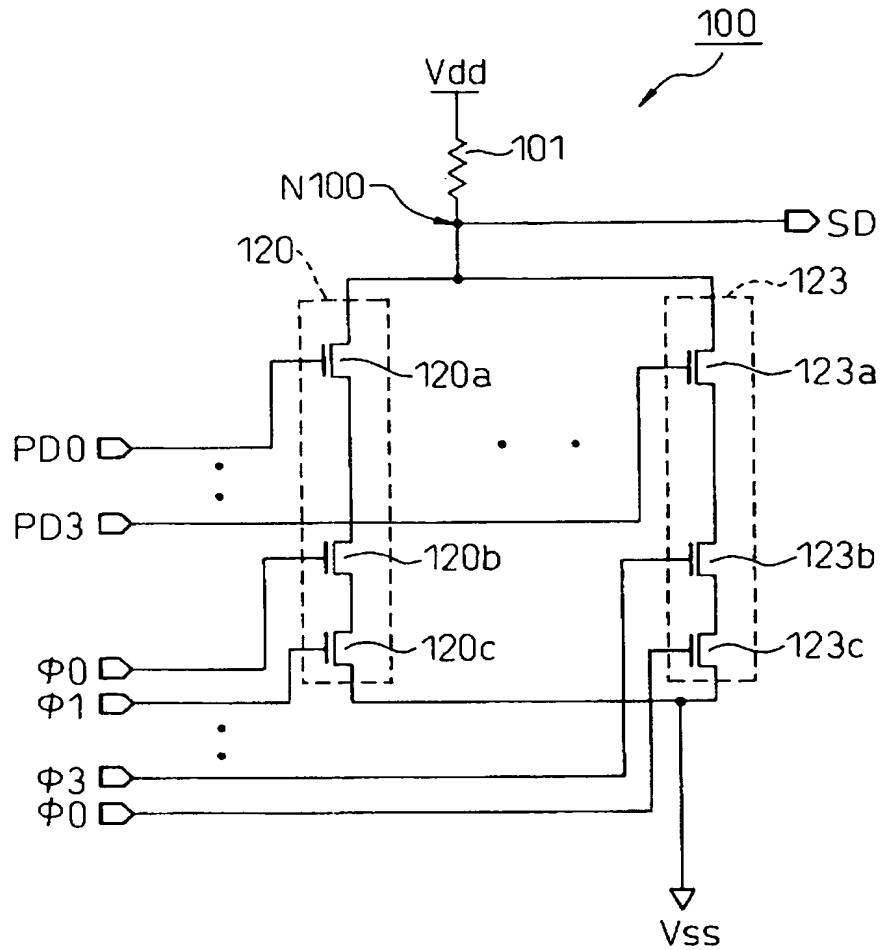
- 1, 1' …負荷回路
- 2, 2' …論理回路
- 2 0 ~ 2 3, 2 0' ~ 2 3' …論理回路セル
- 3 0 ~ 3 3, 3 0' ~ 3 3' …スイッチ素子
- 4 …内部クロック発生回路
- 5 …電流源
- 6 …クロック処理回路
- C L K …外部クロック
- C S 0 ~ C S 3 …制御信号
- P D 0 ~ P D 3 …パラレルデータ
- S D, S D X …シリアルデータ
- V<sub>dd</sub> …高電位電源線（高電位電源電圧）
- V<sub>ss</sub> …低電位電源線（低電位電源電圧）
- $\phi$  0 ~  $\phi$  3 …内部クロック（デューティ比が 5 0 % の四相クロック）
- $\phi$  0' ~  $\phi$  3' …制御クロック（デューティ比が 7 5 % の四相クロック）

【書類名】 図面

【図 1】

図 1

従来のマルチプレクサ回路の一例を示す回路図

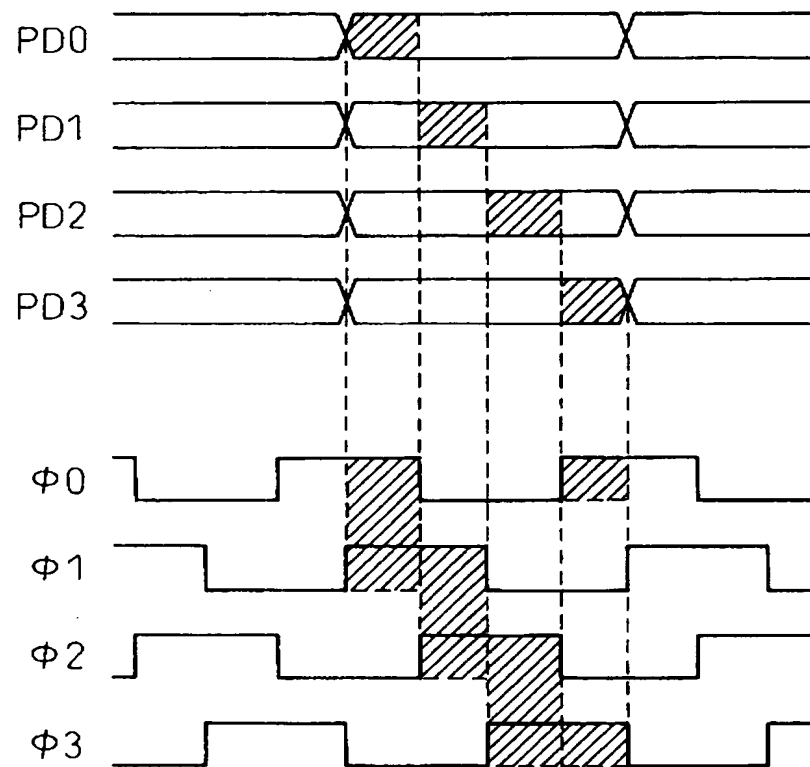




## 【図 2】

## 図 2

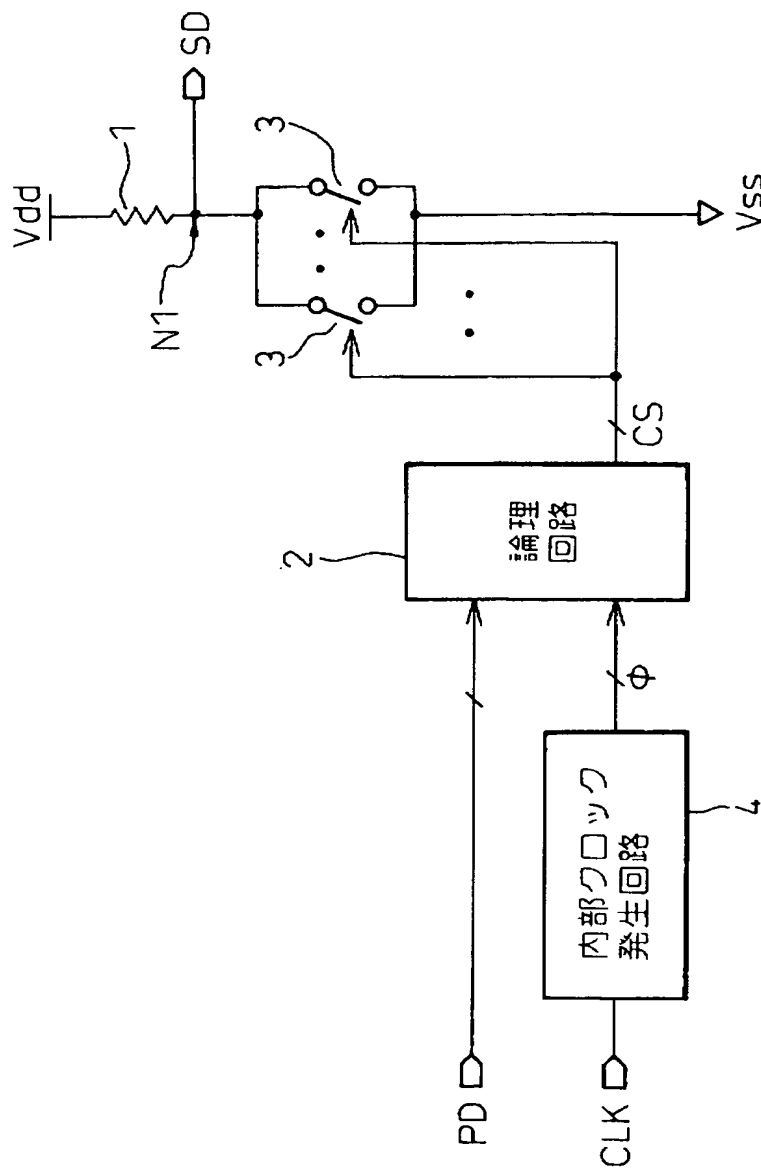
図 1 のマルチプレクサ回路の動作を説明するためのタイミング図



【図3】

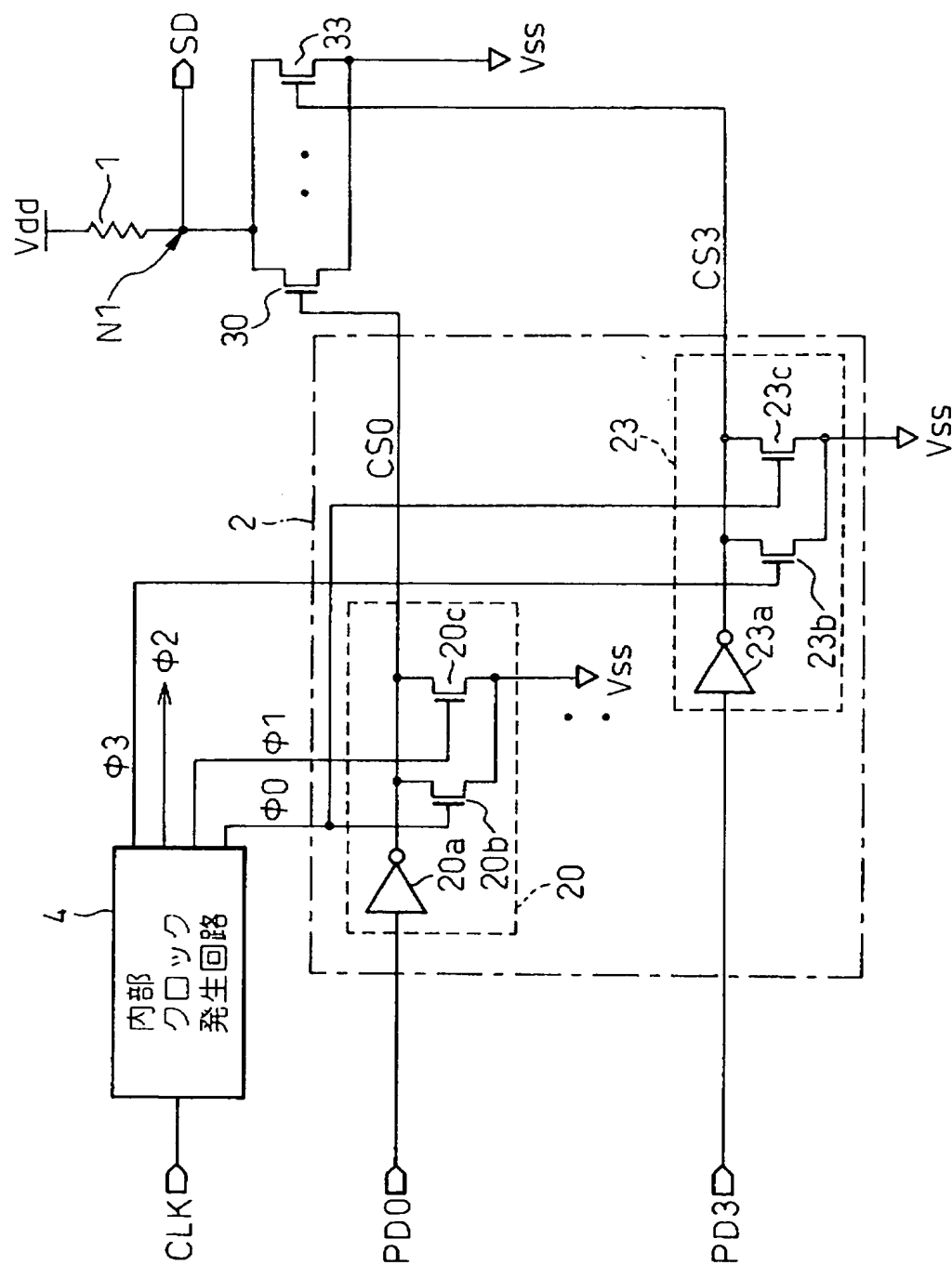
図 3

本発明に係るマルチプレクサ回路の原理構成を示すブロック図



【図4】

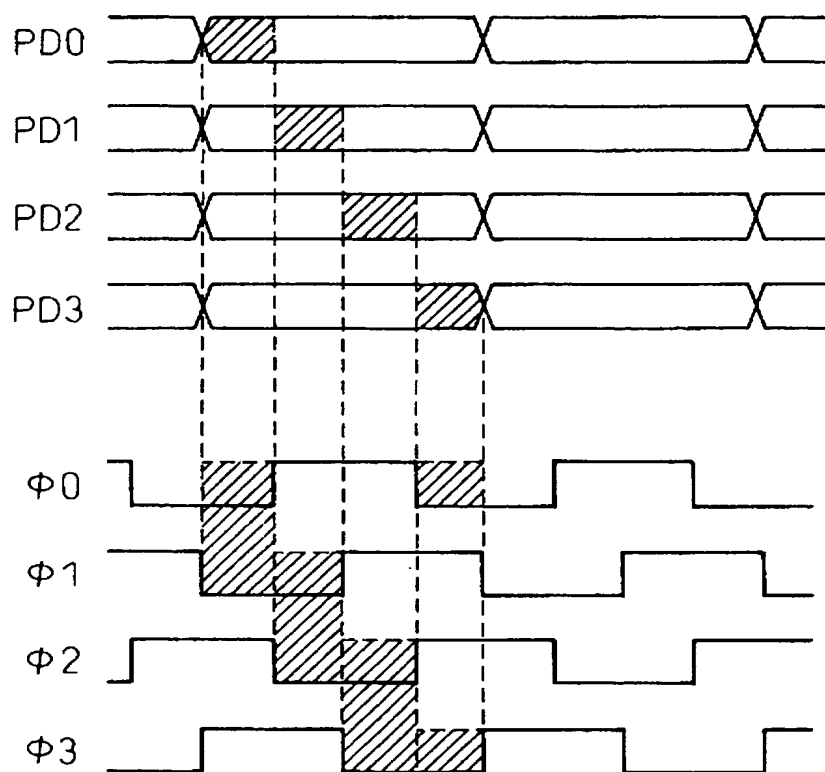
図4 本発明に係るマルチプレクサ回路の第1実施例を示すブロック回路図



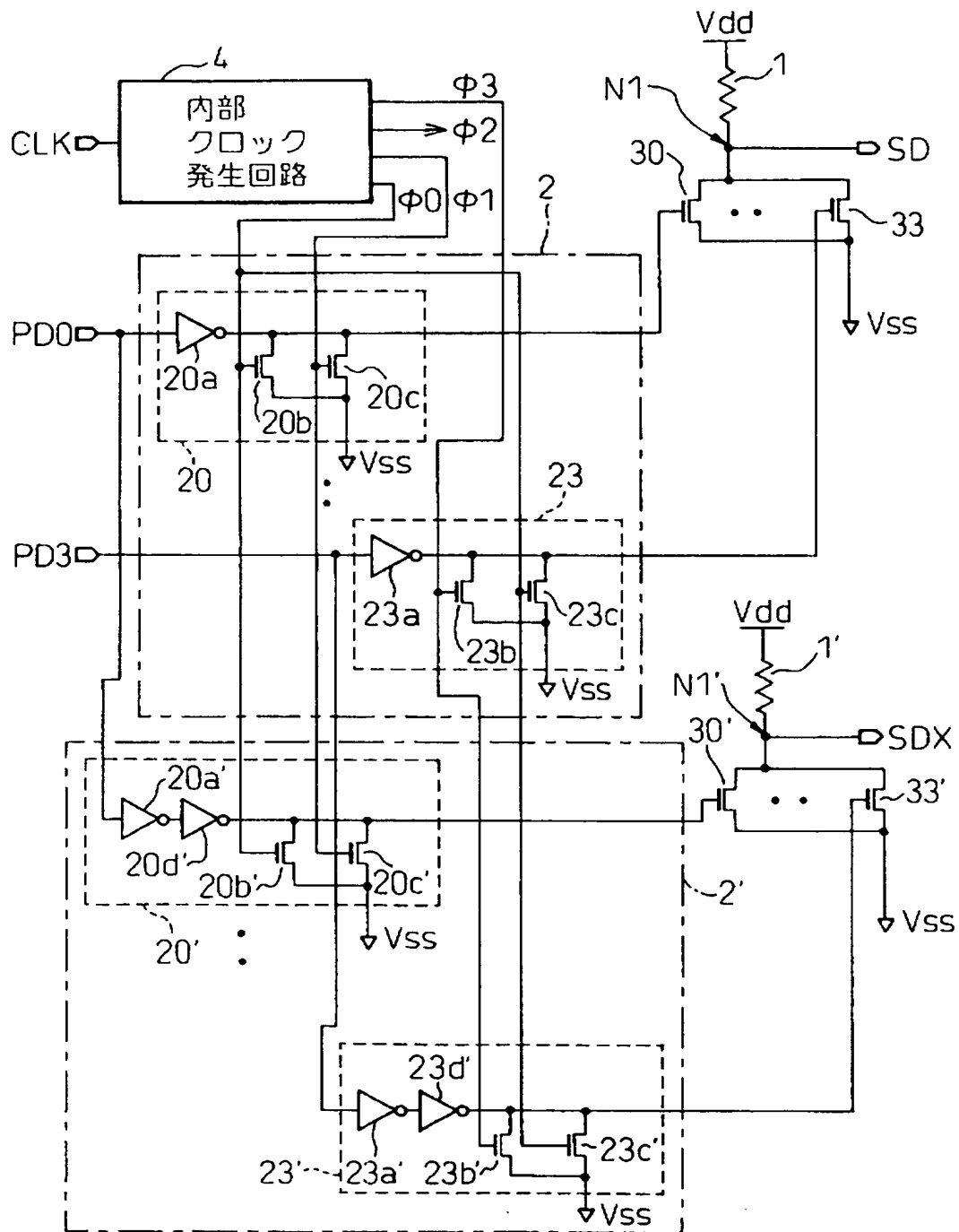
【図 5】

図 5

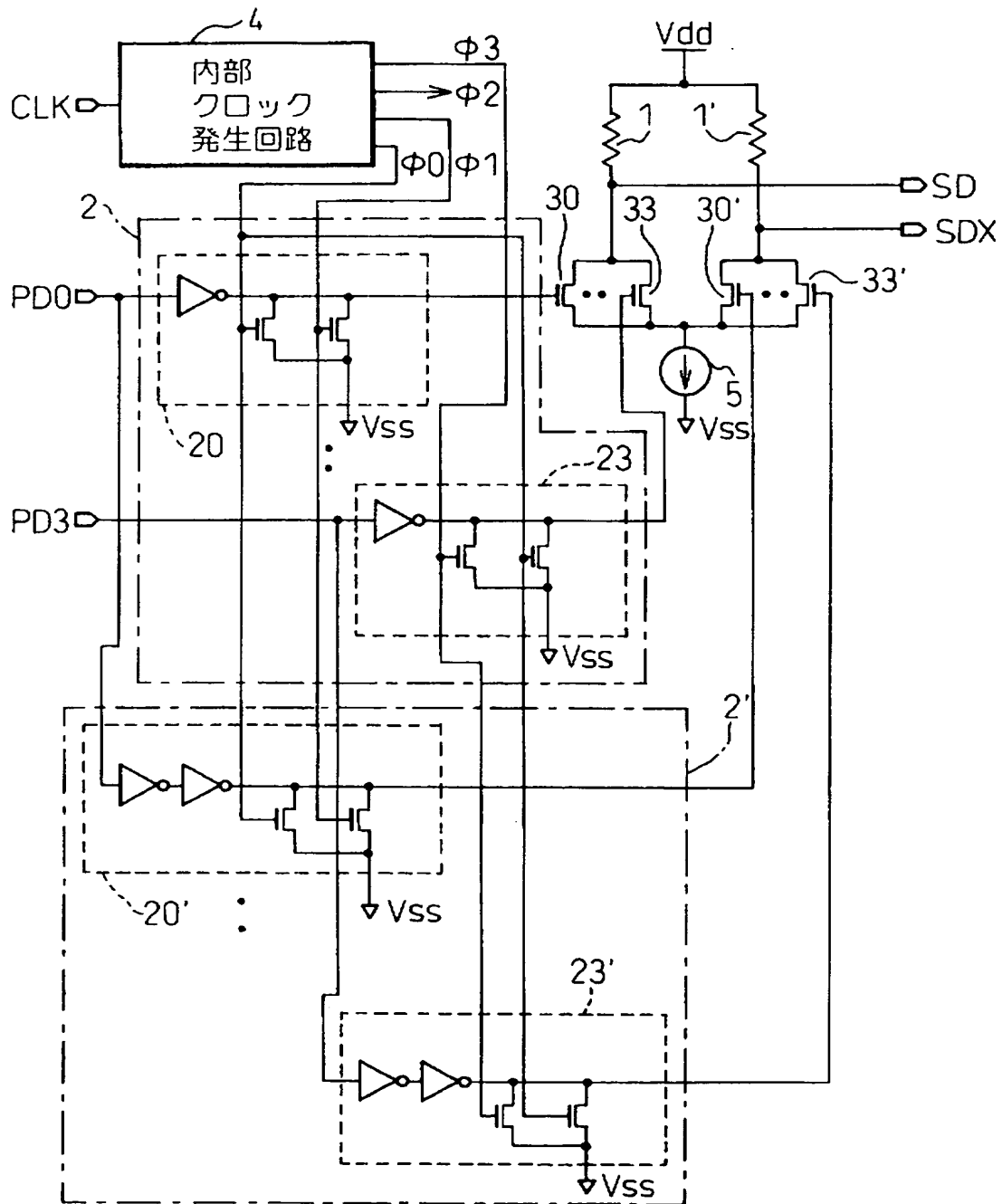
図 4 のマルチプレクサ回路の動作を説明するためのタイミング図



【図 6】

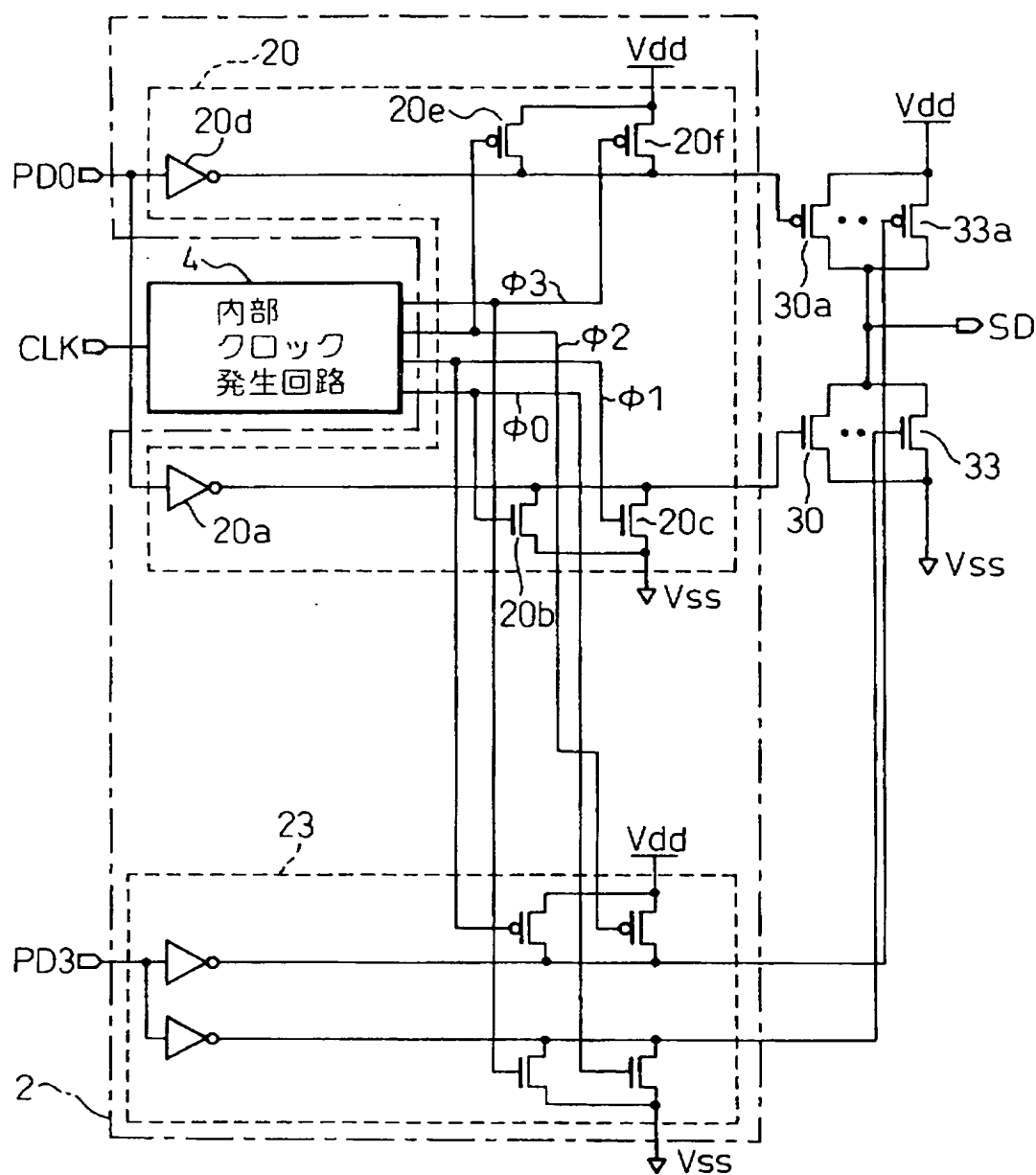
図 6 本発明に係るマルチプレクサ回路の第 2 実施例を示す  
ブロック回路図

【図 7】

図 7 本発明に係るマルチプレクサ回路の第 3 実施例を示す  
ブロック回路図

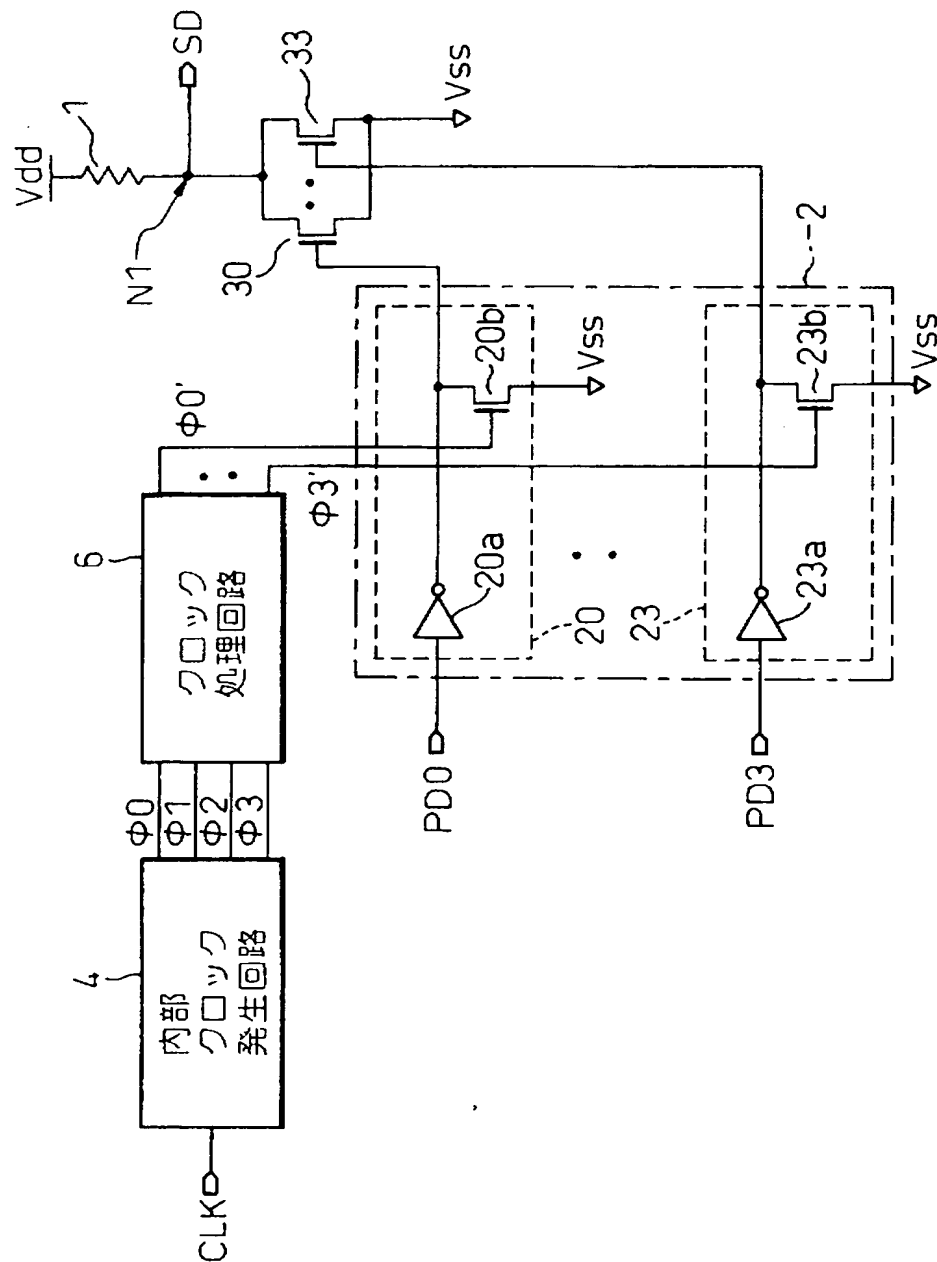
【図 8】

図 8 本発明に係るマルチプレクサ回路の第 4 実施例を示すブロック回路図



【図 9】

図 9 本発明に係るマルチプレクサ回路の第 5 実施例を示すブロック回路図

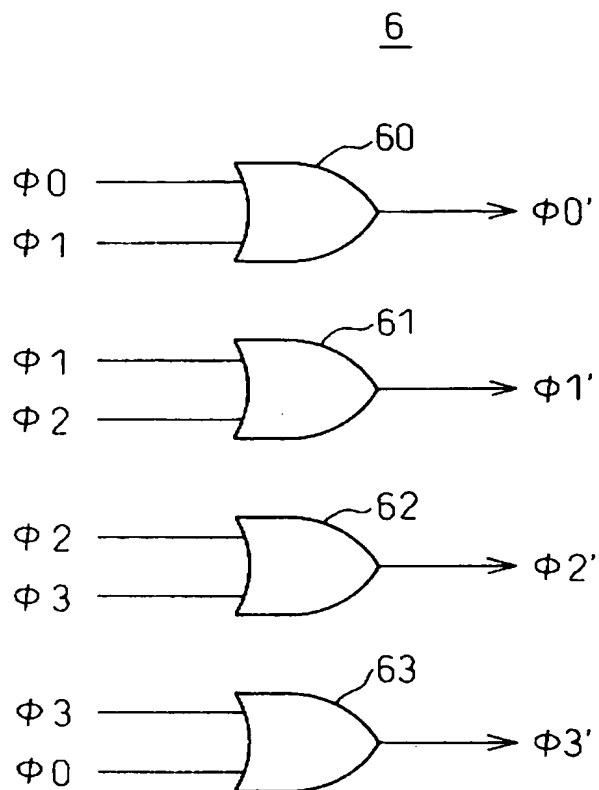




## 【図 10】

図 10

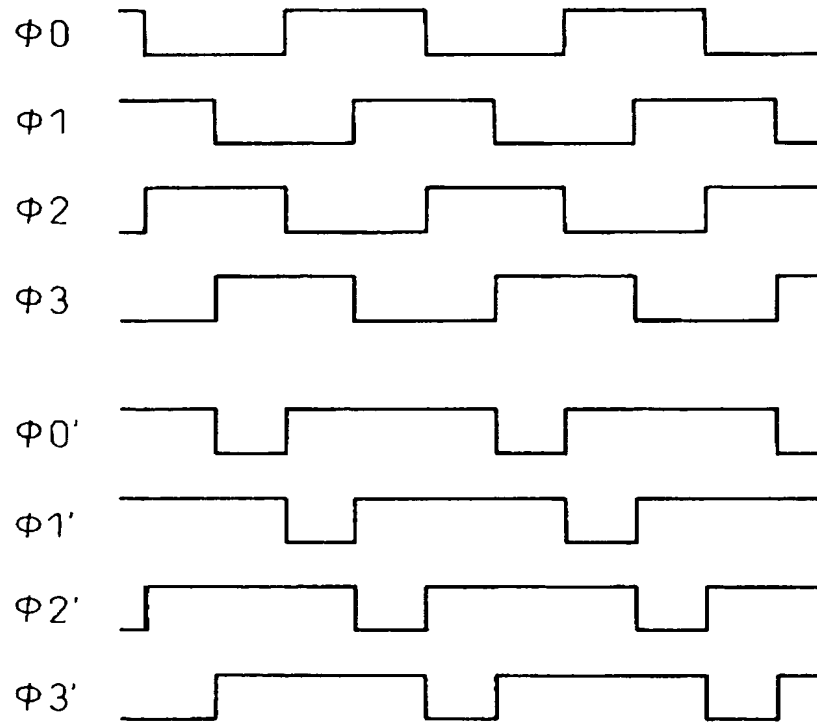
図 9 のマルチプレクサ回路におけるクロック処理回路の一例を示す図



【図 11】

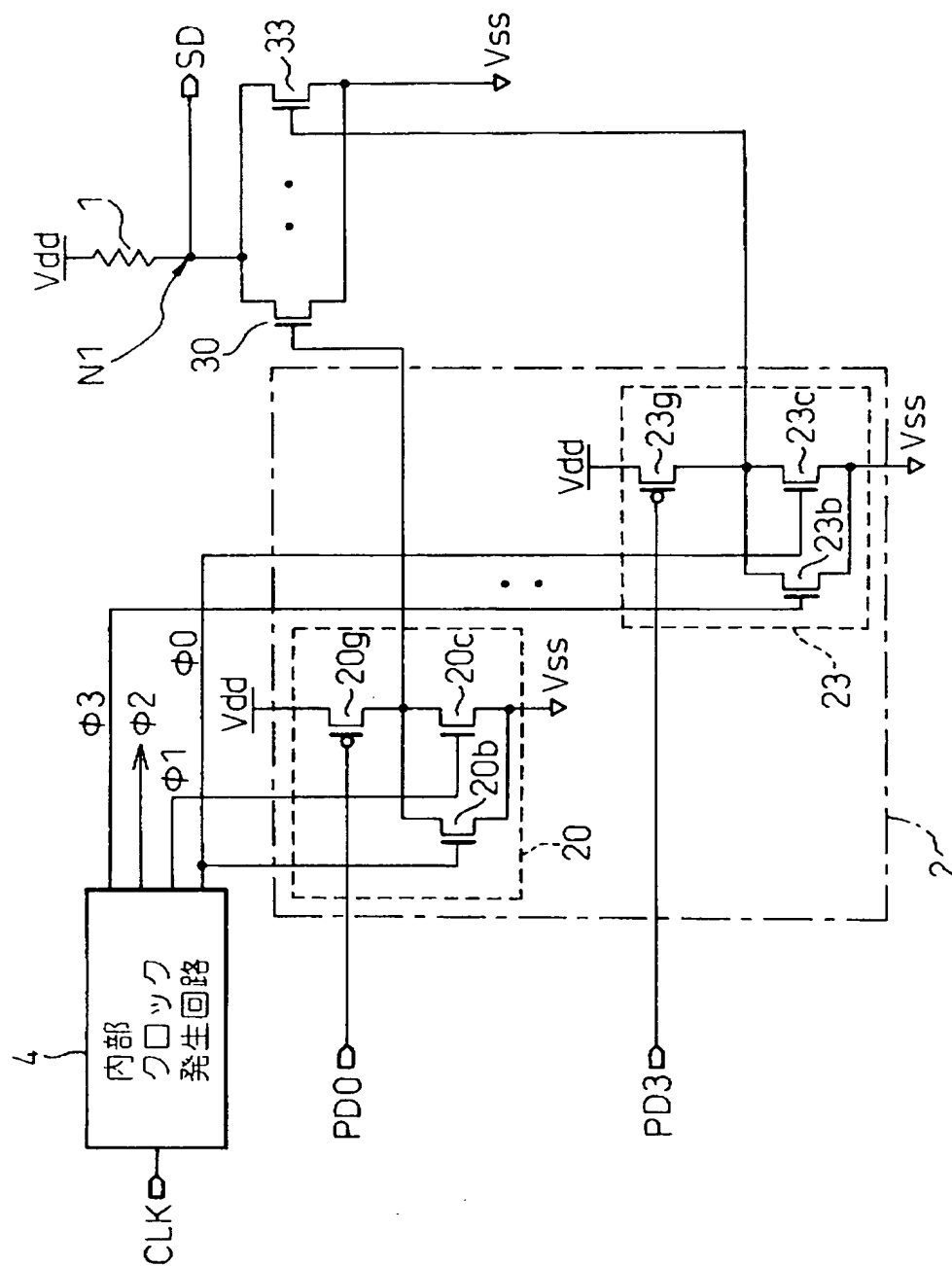
図 11

図10のクロック処理回路の動作を説明するためのタイミング図



【図 12】

図 12 本発明に係るマルチプレクサ回路の第 6 実施例を示すブロック回路図



【書類名】 要約書

【要約】

【課題】 従来のマルチプレクサ回路では、近年の低電圧化および小信号振幅等に対して十分な帯域を確保して高速動作を行うことが難しくなってきた。

【解決手段】 パラレルデータ PD0～PD3 を内部クロック  $\phi 0 \sim \phi 3$  に同期してシリアルデータ SD に変換するマルチプレクサ回路であって、前記内部クロックおよび前記パラレルデータの論理を取る論理回路 2、および、第 1 の電源線 Vdd と第 2 の電源線 Vss との間に直列に接続された負荷回路 1 並びに複数のスイッチ素子 30～33 を備え、該各スイッチ素子は前記論理回路の出力で制御されるように構成する。

【選択図】 図 3

特願 2 0 0 2 - 3 3 9 3 0 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

- |          |                             |
|----------|-----------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日         |
| [変更理由]   | 新規登録                        |
| 住 所      | 神奈川県川崎市中原区上小田中 1 0 1 5 番地   |
| 氏 名      | 富士通株式会社                     |
|          |                             |
| 2. 変更年月日 | 1 9 9 6 年 3 月 2 6 日         |
| [変更理由]   | 住所変更                        |
| 住 所      | 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 |
| 氏 名      | 富士通株式会社                     |